



## 고효율 하프-브리지 LLC 컨버터를 위한 Hold-Up Time 보상 기법

Hold-Up Time Compensation Method for High Efficiency Half-Bridge LLC Converter

---

저자 (Authors)	백재일, 김재국, 이재범, 윤한신, 문건우 Jae-Il Baek, Jae-Kuk Kim, Jae-Bum Lee, Han-Shin Youn, Gun-Woo Moon
출처 (Source)	<a href="#">전력전자학술대회논문집</a> , 2016.7, 301-302 (2 pages) <a href="#">Power Electronics Annual Conference</a> , 2016.7, 301-302 (2 pages)
발행처 (Publisher)	<a href="#">전력전자학회</a> THE KOREAN INSTITUTE OF POWER ELECTRONICS
URL	<a href="http://www.dbpia.co.kr/Article/NODE06716712">http://www.dbpia.co.kr/Article/NODE06716712</a>
APA Style	백재일, 김재국, 이재범, 윤한신, 문건우 (2016). 고효율 하프-브리지 LLC 컨버터를 위한 Hold-Up Time 보상 기법. 전력전자학술대회논문집, 301-302.
이용정보 (Accessed)	한국과학기술원 143.248.157.*** 2016/09/02 20:30 (KST)

---

### 저작권 안내

DBpia에서 제공되는 모든 저작물의 저작권은 원저작자에게 있으며, 누리미디어는 각 저작물의 내용을 보증하거나 책임을 지지 않습니다.

이 자료를 원저작자와의 협의 없이 무단게재 할 경우, 저작권법 및 관련법령에 따라 민, 형사상의 책임을 질 수 있습니다.

### Copyright Information

The copyright of all works provided by DBpia belongs to the original author(s). Nurimedia is not responsible for contents of each work. Nor does it guarantee the contents.

You might take civil and criminal liabilities according to copyright and other relevant laws if you publish the contents without consultation with the original author(s).

# 고효율 하프-브리지 LLC 컨버터를 위한 Hold-Up Time 보상 기법

백재일<sup>1</sup>, 김재국<sup>2</sup>, 이재범<sup>1</sup>, 윤한신<sup>1</sup>, 문건우<sup>1</sup>  
 KAIST<sup>1</sup>, 인하대학교<sup>2</sup>

## Hold-Up Time Compensation Method for High Efficiency Half-Bridge LLC Converter

Jae-Il Baek<sup>1</sup>, Jae-Kuk Kim<sup>2</sup>, Jae-Bum Lee<sup>1</sup>, Han-Shin Youn<sup>1</sup>, Gun-Woo Moon<sup>1</sup>  
 KAIST<sup>1</sup>, Inha University<sup>2</sup>

### ABSTRACT

Hold-up time 조건에 의해 넓은 입력전압 범위에서 설계되는 하프-브리지 LLC 컨버터는 높은 전압 이득을 얻기 위해 작은 자화 인덕턴스와 넓은 스위칭 주파수 범위가 요구된다. 하지만 이는 큰 1차측 도통손실 및 코어 손실을 초래한다. 본 논문에서는 하프-브리지 LLC 컨버터가 좁은 입력전압에서 설계되기 위한 새로운 hold-up time 보상 기법을 제안한다. 따라서 제안된 기법에서의 하프-브리지 LLC 컨버터는 큰 자화 인덕턴스 및 좁은 스위칭 주파수 범위로 설계 될 수 있다. 제안된 회로의 효과는 90-264Vrms 입력, 250-400V 링크 전압, 48V/480W 출력을 갖는 prototype의 실험을 통해 검증된다.

### 1. 서론

최근 스마트 폰, 서버, 노트북등 IT 기기들의 사용이 증가 되면서, 이들에 전원을 공급하기 위한 전원장치에 대한 관심이 증가되고 있다. 일반적으로 전원장치는 2가지 요구 조건을 필요로 한다; 1)에너지 절약 및 환경 보존을 위한 높은 효율<sup>[1]</sup>, 2) 고조파 규제 및 정상 성능을 만족하기 위한 높은 역률<sup>[2]</sup>.

이러한 이유로 전원 장치는 부스트 PFC (Power Factor Correction)단 과 DC/DC단으로 구성된 two-stage 구조를 사용한다. 여기서 부스트 PFC단은 입력전류 제어를 통해 고조파 규제를 만족시키며, DC/DC단에 일정한 링크 전압을 제공한다. 다음으로 DC/DC단의 경우, IT기기에 일정한 출력 전압을 제공하며, 300-600W급의 전원장치의 경우 1차측 스위치의 넓은 영전압 스위칭 (ZVS) 범위와 2차측 다이오드의 영전류 스위칭 (ZCS)이 가능한 하프-브리지 LLC 컨버터를 많이 사용한다.

한편, IT 기기용 전원장치는 AC입력 전원이 소실되었을 때, 사용 중인 데이터의 저장을 위해 일정 시간의 hold-up time 동안 출력전압을 제공할 수 있어야한다. 이때, 하프-브리지 LLC 컨버터는 부스트 PFC단이 꺼진 상태에서 링크 커패시터에 저장된 에너지로만 출력 전압을 제어해야 하기 때문에, 넓은 링크 전압 범위에서 동작할 수 있어야 한다. 따라서 하프-브리지 LLC 컨버터는 작은 자화 인덕턴스로 설계되어야 하며, 이는 큰 1차측 도통 손실 및 스위치 턴-오프 손실을 초래하여 컨버터의 효율을 감소시키는 주요 원인이 된다. 더구나, 넓은 스위칭 주파수 동작 범위로 인해 자성체 설계가 어려우며, 코어 사이즈의 증가로 인해 큰 코어 손실을 야기한다.

본 논문에서는 고효율 하프-브리지 LLC 컨버터를 위한 새로운 부스트 PFC단을 제안한다. 제안된 회로는 기존의 부스트 다이오드를 동기화 정류 스위치로 바꿈으로써 부스트 PFC단 구조를 하프-브리지 컨버터구조로 쉽게 사용할 수 있다. 따라서 제안된 회로는 hold-up time 구간 동안 하프-브리지 LLC 컨버터 대신 보조 하프-브리지 컨버터를 사용하여 출력 전압을 제어함으로써 넓은 전압 범위를 만족 시킬 수 있다. 이로 인해, 하프-브리지 LLC 컨버터는 큰 자화 인덕턴스와 좁은 스위칭 주파수 범위에서 설계되어 높은 효율을 얻을 수 있다.

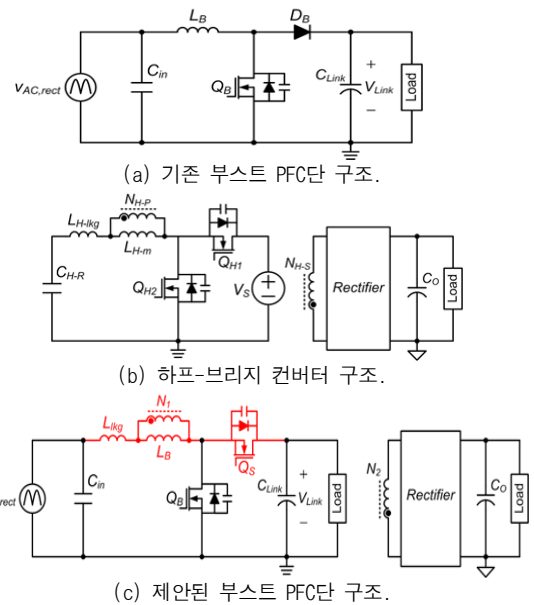


그림 1. 제안된 회로의 도출.

### 2. 제안된 부스트 PFC단 분석

#### 2.1 제안된 회로의 도출

그림 2(a)와 2(b)는 기존 부스트 PFC단 및 하프-브리지 컨버터의 구조를 보여준다. 두 그림에서 살펴 볼 수 있듯이, 기존 부스트 PFC단과 하프-브리지 컨버터의 1차측 구조가 매우 유사한 형태로 구성되어 있음을 확인 할 수 있다. 따라서 제안된 부스트 PFC단은 그림 2(c)에서 볼 수 있듯이, 부스트 다이오드  $D_B$ 를 동기화 스위치  $Q_S$ 로 변경하고, 부스트 인덕터  $L_B$ 를 자화 인덕터와 리키지 인덕터를 갖는 하나의 트랜스포머로 변경함으로써 보조 하프-브리지 컨버터를 갖는 새로운 부스트 PFC단을 간단히 도출 할 수 있다.

#### 2.2 제안된 회로의 구현 및 기본 동작 개념

제안된 부스트 PFC단 회로에서 보조 하프-브리지 컨버터는 비대칭 하프-브리지, 하프-브리지 플라이백, 그리고 하프-브리지 포워드 컨버터 등 다양한 형태로 적용 될 수 있다. 이 중, 본 논문에서는 회로의 복잡도를 최소화하기 위해 적은 소자수와 간단한 구조를 갖는 하프-브리지 플라이백 컨버터를 적용한다. 그림 2는 하프-브리지 플라이백 컨버터가 통합된 제안된 부스트 PFC단과 하프-브리지 LLC 컨버터를 구현한 회로를 나타낸다. 여기서 2차측에 추가된 스위치  $Q_A$ 는 제안된 부스트 PFC단 회로의 동작을 구분하기 위해 사용되며, 입력 전압의 상태에 따라 ON/OFF가 결정된다. 예를 들어, 정상상태에서는 스위치  $Q_A$ 를 OFF 상태로 유지시켜 부스트 PFC단과 하프-브리지 LLC 컨버터의 동작으로 출력 전압을 제어한다. 반면,

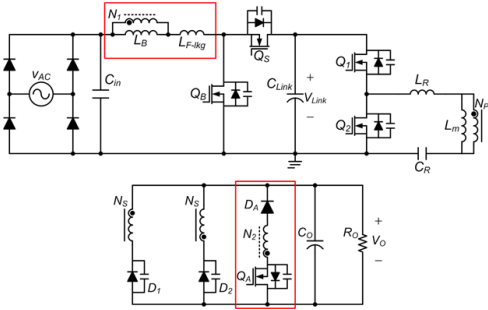


그림2. 제안된 부스트 PFC단과 하프-브리지 LLC 컨버터의 구현 회로.

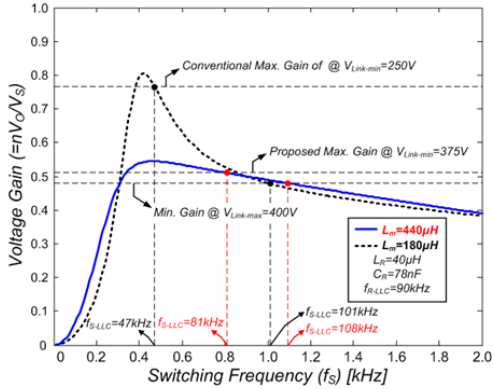


그림3. 자화 인덕턴스에 대한 하프-브리지 LLC 컨버터의 전압 이득

hold-up time 동안에는 스위치  $Q_A$ 를 ON상태로 동작시켜 하프-브리지 플라이백 컨버터로 넓은 링크 전압 범위에서 출력 전압을 제어할 수 있게 된다. 따라서 제안된 부스트 PFC단 회로를 적용함으로써, 하프-브리지 LLC 컨버터를 정상상태 조건만 고려하여 설계 할 수 있다.

### 2.3 하프-브리지 LLC 컨버터의 설계

앞서 설명하였듯이, 제안된 부스트 PFC단이 적용된 하프-브리지 LLC 컨버터의 경우 정상상태에서만 동작한다. 따라서 기존 LLC 컨버터가 갖는 링크 전압 범위(250-400V)에 비해 매우 좁은 링크 전압 범위(375-400V)에서 설계 할 수 있다. 이번 파트에서는 링크 전압 범위 차이에 따른 기존 하프-브리지 LLC 컨버터와 제안된 회로가 적용된 LLC 컨버터의 설계 차이에 대해서 설명한다.

#### 2.3.1 자화 인덕턴스의 설계

일반적으로 하프-브리지 LLC 컨버터의 자화 인덕턴스  $L_m$ 의 크기는 1차측 도통 손실 및 스위치 턴-오프 손실에 영향을 주기 때문에 크게 설계 할수록 좋다. 따라서 제안된 회로가 적용된 하프-브리지 LLC 컨버터의 자화 인덕턴스  $L_m$ 은 1차측 스위치의 영전압 스위칭을 만족시킬 수 있는 최댓값으로 설계한다. 반면, 기존 하프-브리지 LLC 컨버터의 경우 넓은 링크 전압 범위를 커버하기 위해 작은  $L_m$ 으로 설계 되어야 한다.

그림 3은 자화 인덕턴스에 대한 하프-브리지 LLC 컨버터의 전압 이득을 나타내고 있으며, 작은  $L_m$ 을 통해 250V 링크 전압에서 높은 전압이득을 가질 수 있음을 확인 할 수 있다. 반면, 큰  $L_m$ 이 사용 된 경우 하프-브리지 LLC 컨버터는 낮은 전압 이득으로 인해서 넓은 링크 전압 범위를 커버 할 수 없다.

#### 2.3.2 자성체 코어 설계

일반적으로 자성체 소자는 낮은 스위칭 주파수에서 최대 자속 세기가 결정된다. 따라서 동작 스위칭 주파수가 낮을수록 코어의 포화를 막기 위해 더 큰 코어가 필요하다. 한편, 그림 3에서 볼 수 있듯이, 제안된 부스트 PFC단이 적용된 하프-브리지 LLC 컨버터의 경우 기존 LLC 컨버터에 비해 최소 스위칭 주파수가 크고, 좁은 스위칭 주파수 범위를 가지기 때문에 작은 코어로 설계 할 수 있으며 작은 코어 손실을 가질 수 있다.

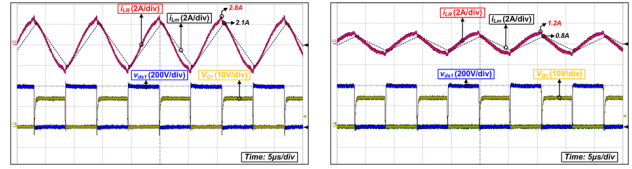


그림4. 10% 부하 조건에서 LLC 컨버터의 실험파형.

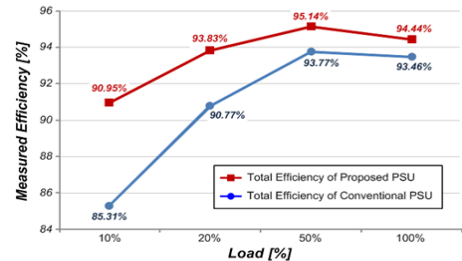


그림5. 전원 장치 전체 효율 (PFC단 + DC/DC단).

## 3. 실험결과

제안된 회로의 효과는 90-264Vrms 입력, 250-400V 링크 전압, 48V/480W 출력을 갖는 prototype에서 검증되었다. 제안된 부스트 PFC단의 경우 기존 PFC단과 같은 소자로 설계 되었으나, 부스트 코어의 제한된 창 면적으로 인해 기존 부스트 코어의 선 두께보다 35% 얇은 선으로 선정하였다. 하프-브리지 LLC 컨버터의 경우 그림3의 소자로 설계 되었으며 코어의 경우 기존 컨버터는 PQ2625, 제안된 컨버터는 PQ2620으로 설계 되었다. 그림 4는 10% 부하에서 하프-브리지 LLC 컨버터의 실험파형으로 제안된 회로를 적용한 LLC 컨버터가 큰 자화 인덕턴스로 인해 작은 스위치 턴-오프 전류와 RMS 전류를 갖는 것을 확인할 수 있다. 따라서 그림 5에서 볼 수 있듯이, 하프-브리지 LLC 컨버터의 감소된 1차측 도통 손실, 스위치 턴-오프 손실, 그리고 코어 손실로 인해 제안된 전원장치가 전 부하에서 높은 효율을 갖는 것을 확인할 수 있다. 한편, 비록 PFC 단의 부스트 코어의 선이 얇아졌지만, 부스터 전류의 RMS값이 작고 선 저항이 작기 때문에 효율에 큰 영향을 주지 않는다.

## 4. 결론

본 논문에서는 hold-up time 조건으로 인해 낮은 효율을 갖는 하프-브리지 LLC 컨버터의 효율 개선을 위해 하프-브리지 컨버터 구조가 통합된 새로운 부스트 PFC단 회로를 제안하였다. 제안된 회로는 회로의 복잡도를 최소화하기 위해 하프-브리지 플라이백 컨버터를 사용하여 구현 되었으며, hold-up time 동안 하프-브리지 플라이백 컨버터는 넓은 링크 전압 범위에서 출력 전압을 제어 할 수 있다. 따라서 하프-브리지 LLC 컨버터는 정상상태 조건만 고려하여 설계될 수 있다. 결과적으로 제안된 부스트 PFC단을 적용한 하프-브리지 LLC 컨버터는 큰 자화 인덕턴스와 좁은 스위칭 주파수 범위를 가지기 때문에, 기존 하프-브리지 LLC 컨버터에 비해 전 부하에서 높은 효율을 달성 할 수 있다.

이 논문은 2016년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No.2010-0028680)

## 참고 문헌

- [1] "External AC-DC power supplies: Worldwide forecasts-Tenth edition," Dublin, Ireland, Apr. 2011. [Online]. Available: [http://www.researchandmarkets.com/reports/1922132/acdc\\_power\\_supplies\\_worldwide\\_forecasts\\_tenth#rela5](http://www.researchandmarkets.com/reports/1922132/acdc_power_supplies_worldwide_forecasts_tenth#rela5)
- [2] Y. Song and B. Wang, "Survey on Reliability of Power Electronics Systems," *IEEE Trans. Power Electron.*, vol. 28, no. 1, pp. 591-604, Jan. 2013
- [3] J. W. Kim and G. W. Moon, "A New LLC Series Resonant Converter with a Narrow Switching Frequency Variation and Reduced Conduction Losses," *IEEE Trans. Power Electron.*, vol. 29, no. 8, pp. 4278-4287, Aug. 2014